

**Кольева Н. С., Панова М. В., Федоров Д. Л., Перестенко К. А., Ярочкина Е. Д.**  
**N. S. Kolyeva, M. V. Panova, D. L. Fedorov, K. A. Perestenko, E. D. Yarochkina**

**РАЗРАБОТКА ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ ПРОГРАММИРУЕМЫХ  
ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ ДЛЯ СТЕНДА УПРАВЛЕНИЯ  
НА ПРОМЫШЛЕННОМ ПРЕДПРИЯТИИ**

**DEVELOPMENT OF PLIS SOFTWARE FOR THE CONTROL WALL OF AN INDUSTRIAL  
COMPANY**

**Кольева Наталья Станиславовна** – доцент кафедры информационных технологий и статистики Уральского государственного экономического университета (Россия, Екатеринбург). E-mail: nkoleva@mail.ru.

**Natalya S. Kolyeva** – Associate Professor, Information Technologies and Statistics Department, Ural State University of Economics (Russia, Ekaterinburg). E-mail: nkoleva@mail.ru.

**Панова Марина Валерьевна** – старший преподаватель кафедры информационных технологий и статистики Уральского государственного экономического университета (Россия, Екатеринбург). E-mail: maval@usue.ru.

**Marina V. Panova** – Senior Lecturer, Information Technologies and Statistics Department, Ural State University of Economics (Russia, Ekaterinburg). E-mail: maval@usue.ru.

**Федоров Давид Леонидович** – студент кафедры информационных технологий и статистики Уральского государственного экономического университета (Россия, Екатеринбург). E-mail: david.fedorov@mail.ru.

**David L. Fedorov** – Student, Information Technologies and Statistics Department, Ural State University of Economics (Russia, Ekaterinburg). E-mail: david.fedorov@mail.ru.

**Перестенко Кристина Александровна** – магистрант кафедры информационных технологий и статистики Уральского государственного экономического университета (Россия, Екатеринбург). E-mail: kerl@ya.ru.

**Kristina A. Perestenko** – Master's Degree Student, Information Technologies and Statistics Department, Ural State University of Economics (Russia, Ekaterinburg). E-mail: kerl@ya.ru.

**Ярочкина Екатерина Дмитриевна** – магистрант кафедры информационных технологий и статистики Уральского государственного экономического университета (Россия, Екатеринбург). E-mail: katya.klepikova@mail.ru.

**Ekaterina D. Yarochkina** – Master's Degree Student, Information Technologies and Statistics Department, Ural State University of Economics (Russia, Ekaterinburg). E-mail: katya.klepikova@mail.ru.

**Аннотация.** В данной статье рассматривается проблема прототипирования специализированных вычислительных модулей для реализации в составе сверхбольших интегральных схем. Задачи, решаемые применением программируемых логических интегральных схем, включают ускорение процесса функциональной верификации, упрощение процесса проверки изделий, уменьшение рисков повреждения изделия в процессе проверки. В статье рассматривается блок Arria V GX FPGA Development Kit. Данный блок представляет собой плату для программируемых логических интегральных схем 5AGXFB3H4F40, которая используется для отладки программ при разработке конфигурируемых цифровых электронных схем. Данная плата обеспечивает возможность настройки и анализа работы генератора прямого цифрового синтеза. Предложен алгоритм разработки программного обеспечения, предназначенного для автоматической проверки вышедших из производства блоков с применением генератора прямого цифрового синтеза.

**Summary.** This paper considers the problem of prototyping specialized computing modules for implementation as part of ultra-large integrated circuits. The problems solved by application of programmable logic integrated circuits include acceleration of functional verification process, simplification of product verification process, and reduction of risks of product damage during verification. This article discusses the Arria V GX FPGA Development Kit. This block is a 5AGXFB3H4F40 programmable logic integrated circuit board that is used for program debugging in the development of configurable digital electronic circuits. This board provides the ability to configure and analyze the

operation of a direct digital synthesis generator. The algorithm of software development designed for automatic verification of out-of-production blocks using the direct digital synthesis generator is proposed.

**Ключевые слова:** программное обеспечение, алгоритм, генератор прямого цифрового синтеза, оптимизация деятельности.

**Key words:** software, algorithm, direct digital synthesis generator, activity optimization.

УДК 004.023

В различных устройствах и системах в настоящее время широко используются программируемые логические интегральные схемы (ПЛИС) для решения «нетрадиционных» для универсальных процессоров задач (например, задач, связанных с цифровой обработкой сигналов и данных) путём реализации «жесткой логики» и ряда других применений. Они также широко используются для реализации функционирования устройств и систем в динамично обновляющихся условиях технологических и пользовательских требований [6, 5].

Процесс создания цифровых устройств включает в себя не только разработку схем, написание программного обеспечения (ПО) и реализацию всего этого в «железе». После того как устройство вышло из производства, необходимо провести его первые включения, проверить и настроить его встроенное ПО под параметры текущего «железа» или параметры эксплуатации, если устройство является многопрофильным.

В работе представлена разработка ПО для стенда управления генератора прямого цифрового синтеза (ГПЦС), предназначенная как раз для процесса проверки и настройки устройств после того, как они вышли из производства. Необходимость разработки на отладочной плате Arria V GX FPGA Development Kit обусловлена тем, что данная плата имеет широкий спектр возможностей в плане интерфейсов, и на ней решено делать стенд не только для настройки ГПЦС, но также для использования других возможностей платы: сбора данных с внешних устройств, хранения и обработки накопленных данных, использования интерфейса PCI-Express. Таким образом, целевая плата будет задействована полностью.

Arria V GX FPGA Development Kit представляет собой завершённую отладочную платформу, включающую всё необходимое программное и аппаратное обеспечение для немедленного начала разработки приложений на базе ПЛИС FPGA [3].

Разработчик может осуществлять отладку подсистемы памяти DDR3 и QDRII или добавить в систему другие протоколы интерфейсов. Плата предоставляет широкий выбор периферийных интерфейсов для обеспечения разработки проектов на ПЛИС 5AGXFB3H4F40.

Плата для разработки Arria V GX FPGA Development Kit поддерживает три метода настройки:

- Встроенный USB-Blaster – основной метод для настройки ПЛИС с помощью программатора Quartus II через JTAG с помощью прилагаемого USB-кабеля.
- Загрузка во флеш-память.
- Внешний USB-Blaster для настройки [2, 9].

Плата Arria V GX FPGA содержит в себе множество различных элементов управления и взаимодействия, а также различные светодиоды, благодаря которым можно понять, какой процесс выполняется на данный момент.

**Материалы и методы исследования.** В соответствии с техническим заданием требуется разработать модуль, имеющий параметры, представленные в табл. 1.

Требования к функциональным характеристикам:

- ПО должно иметь возможность управления с ПК.
- Программное обеспечение должно иметь возможность сброса в некое начальное состояние, если это необходимо. В сброшенном состоянии ПО находится до тех пор, пока кнопка РВ0 не нажата, также оно переходит в сброшенное состояние после отжатия кнопки.

– В проект Quartus II должен быть встроен механизм отладки Signal Tap Logic Analyzer для возможности определения состояния программного обеспечения в рабочие моменты времени. Также в разрабатываемое программное обеспечение необходимо интегрировать средства отладки In-System Memory Content Editor для возможности задания параметров работы ПО с ПК посредством интерфейса JTAG.

Таблица 1

Техническое задание

Физический уровень интерфейса управления	3.3-V LVTTTL
Режим обмена	Передача/приём данных
Частота тактирования обмена	150 МГц
Тип интерфейса	Параллельный 16 бит

**Обоснование технологических решений.** Для программирования интегральных схем используется специализированное программное обеспечение. Отсутствие отечественных систем автоматизированного проектирования (САПР) – глобальная проблема российской электроники. Системы, которые используются российскими разработчиками микросхем, принадлежат иностранным компаниям и ориентированы на зарубежные стандарты проектирования и производства.

По причине отсутствия отечественных САПР для создания проекта используется САПР Intel Quartus Prime (Quartus II), которая позволяет проектировать логику работы микросхем схемотехнически на языках программирования AHDL, VHDL, Verilog и др. [4, 2].

Quartus II обладает следующими интегрированными средствами проектирования:

- текстовый и графический способы ввода проекта;
- синтез;
- трассировка СБИС;
- моделирование – ModelSim Altera;
- анализ временных параметров и потребляемой мощности;
- программирование СБИС.

Таким образом, для реализации проекта была выбрана САПР Quartus II и язык программирования VHDL.

**Реализация проекта.** В целом ПО для ПЛИС является комбинацией программных модулей и взаимодействий между ними. На структурной схеме ПО можно увидеть принцип её модульности: глобально программное обеспечение разделено на QSys-систему и ГПЦС-модуль (см. рис. 1).

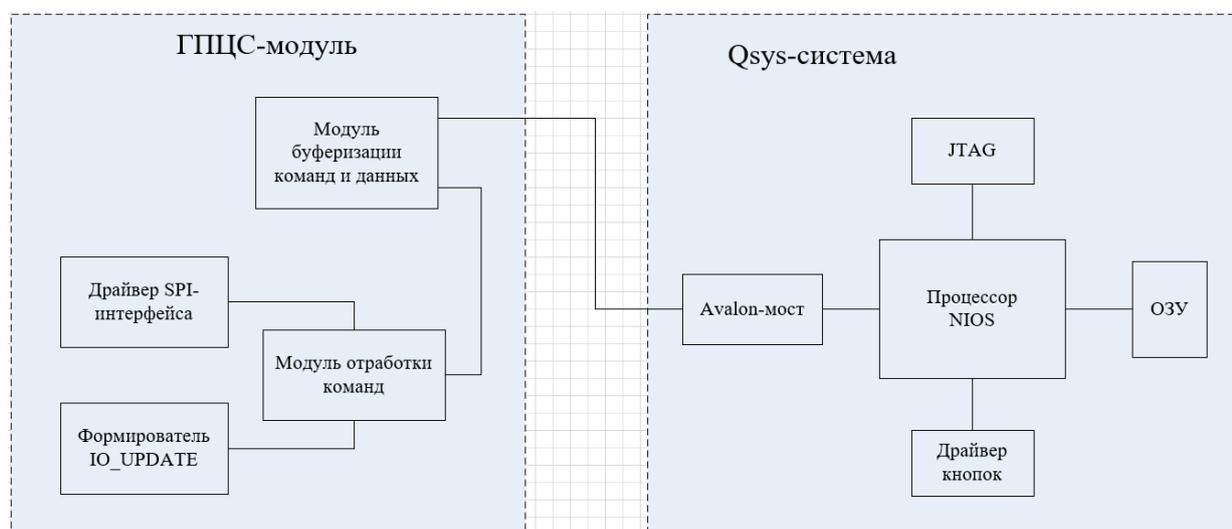


Рис. 1. Структурная схема ПО

Разбиение общего ПО на модули (модульность ПО) является основным моментом при разработке ПО для ПЛИС. Это позволяет более правильно прогнозировать функциональность проектируемой системы в целом.

QSys-система содержит в себе функционал процессора, который взаимодействует с внешним ПК и формирует указания для ГПЦС-модуля, который предназначен для управления непосредственно микросхемой AD9959.

ГПЦС-модуль имеет чёткое разбиение на функциональные составляющие:

- Модуль буферизации команд и данных принимает команды и данные от процессора, буферизирует и готовит из них очередь к исполнению.
- Модуль отработки команд ведёт постоянный контроль наличия в первом модуле невыполненных команд, и если таковые имеются, то запрашивает их и обрабатывает.
- Драйвер SPI-интерфейса – программный модуль, отвечающий за управление самой микросхемой AD9959 на уровне интерфейса SPI [7, 8].

Формирователь IO\_UPDATE – программный модуль, отвечающий за корректное формирование управляющего сигнала для микросхемы AD9959 (требуемая точность установки, требуемая длительность и т. п.).

Однако структурная схема не позволяет проанализировать процессы взаимодействия между модулями (звеньями проекта), для этого необходимо создать функциональную схему, описывающую взаимосвязи в процессе работы разрабатываемого ПО.

#### **Результаты исследования и их обсуждение.**

*Алгоритм разработки программы.* При разработке устройства на основе ПЛИС изначально прорабатывается схема подключения ПЛИС к остальным элементам разрабатываемого устройства. На данном этапе определяются входы и выходы ПЛИС, участвующие в работе устройства.

Среда разработки Quartus II имеет в своём составе инструмент назначения входов и выходов ПЛИС. Редактор назначения входов и выходов ПЛИС (контактов) – Pin Planner, интерактивный графический редактор для назначения выводов:

- технология назначений – Drag&drop;
- позволяет установить стандарт входа/выхода;
- позволяет резервировать выводы.

Встраивание в ПО ПЛИС механизма отладки Signal Tap Logic Analyzer логический анализатор – это устройство, предназначенное для записи и анализа цифровых последовательностей, реализованное на логических ресурсах ПЛИС.

Signal Tap II позволяет синхронно захватывать логические состояния выводов и внутренних сигналов ПЛИС на выбранной тактовой частоте. Анализатор Signal Tap II применяется в отладке алгоритма работы ПЛИС посредством анализа захваченных анализатором состояний сигналов. Для реализации анализатора требуются внутренние ресурсы ПЛИС. Число использованных логических элементов зависит от числа каналов анализатора, числа и сложности условий «защёлкивания» данных. Число использованных блоков памяти зависит от числа каналов анализатора и длины захватываемой последовательности [1, 4].

Таким образом, при практической проверке работы ПО было подтверждено его правильное функционирование.

Для корректной и стабильной работы разработанного ПО требуется соблюдение системных требований, а также строгое соблюдение техники безопасности. В частности, требуется строго использовать антистатические средства, такие как обувь, коврики и браслет. Работа без использования средств по борьбе со статическим электричеством может привести к повреждению или поломке ПЛИС, а также является источником угрозы и для изделия, проверяемого на стенде управления.

**Заключение.** Таким образом, в работе реализовано ПО, предназначенное для автоматической проверки вышедших из производства блоков с применением ГПЦС. В результате достигнуты следующие результаты:

- увеличилась производительность труда;

- сократилось время выполнения процесса настройки ГПЦС;
- упростился процесс проверки изделий;
- сократились риски повреждения изделия в процессе проверки.

#### **ЛИТЕРАТУРА**

1. Бутко, Г. П. Пути совершенствования цифровых инструментов в деятельности предприятий / Г. П. Бутко, М. А. Маньшикова, М. А. Панов // Цифровые модели и решения. – 2024. – Т. 3. – № 1. – С. 39-48.
2. Городилов, А. Ю. Теорема о сходимости генетического алгоритма с двухуровневым кодированием к точному решению задачи реконфигурации ПЛИС / А. Ю. Городилов, Е. Ю. Данилова // Вестник Пермского университета. Математика. Механика. Информатика. – 2015. – № 4 (31). – С. 84-90.
3. Кольева, Н. С. Экономический эффект реализации немонетарных целей проектов / Н. С. Кольева, И. М. Муллаяров, А. В. Тумановская // Столыпинский вестник. – 2024. – Т. 6. – № 6. – С. 2176-2185.
4. Радковская, Е. В. Оптимизационные модели в совершенствовании производственно-управленческих технологий / Е. В. Радковская // Урал – драйвер неоиндустриального и инновационного развития России: материалы III Уральского экономического форума, Екатеринбург, 21-22 октября 2021 года. – Екатеринбург: Уральский государственный экономический университет, 2021. – С. 187-191.
5. Рванова, А. С. Разработка модели оценки структурной сложности программ / А. С. Рванова, Н. С. Кольева, М. В. Панова // Цифровые модели и решения. – 2024. – Т. 3. – № 2. – С. 5-16.
6. Тарасов, И. Е. Применение программно-аппаратного стенда на базе ПЛИС для прототипирования специализированных вычислительных модулей сверхбольших интегральных схем / И. Е. Тарасов, Д. В. Люлява, Н. А. Дуксин // Высокопроизводительные вычислительные системы и технологии. – 2022. – Т. 6. – № 2. – С. 18-23.
7. Троицкий, А. М. Методы тестирования и отладки ПЛИС. Инструменты проектирования ПЛИС / А. М. Троицкий // Research success 2021: сборник статей Междунар. научно-исследовательского конкурса, Петрозаводск, 06 декабря 2021 года. – Петрозаводск: Международный центр научного партнёрства «Новая Наука» (ИП Ивановская И. И.), 2021. – С. 36-44.
8. Хлынов, А. А. Исследование принципов реализации LDPC кодера на ПЛИС / А. А. Хлынов // Фундаментальные проблемы радиоэлектронного приборостроения. – 2012. – Т. 12. – № 6. – С. 150-156.
9. Многоканальная система на ПЛИС с встроенным процессором для измерения длительности наносекундных сигналов с применением локальных сетей / Е. Ю. Шелковников, К. А. Шляхтин, С. Р. Кизнерцев, В. А. Куликов // Ползуновский альманах. – 2018. – № 4. – С. 6-9.